Министерство науки и высшего образования Российской Федерации Федеральное государственное бюджетное образовательное учреждение высшего образования

«Московский государственный технический университет имени Н.Э. Баумана

(национальный исследовательский университет)» (МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ «Информатика и системы управления»

КАФЕДРА «Программное обеспечение ЭВМ и информационные технологии»(ИУ7)

НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.04 «Программная инженерия»

## О Т Ч Е Т

по лабораторной работе № 1

Название Проектирование систем на кристалле на основе ПЛИС

Дисциплина Архитектура элекронно-вычислительных машин

|  |  |  |
| --- | --- | --- |
| Студент: |  | Золотухин А. В. |
| Преподаватель: | подпись, дата | Фамилия, И.О.  Попов А. Ю. |
|  | подпись, дата | Фамилия, И. О. |

Москва — 2022 г.

# Цель работы

Изучение основ построения микропроцессорных систем на ПЛИС. В ходе работы необходимо ознакомиться с принципами построения систем на кристалле (СНК) на основе ПЛИС, получить навыки проектирования СНК в САПР Altera Quartus II, выполнить проектирование и верификацию системы с использованием отладочного комплекта Altera DE1Board.

# Функциональная схема разрабатываемой системы на кристалле

Функциональная схема разрабатываемой системы на кристалле пред-

ставлена на рисунке [1.](#_bookmark0)

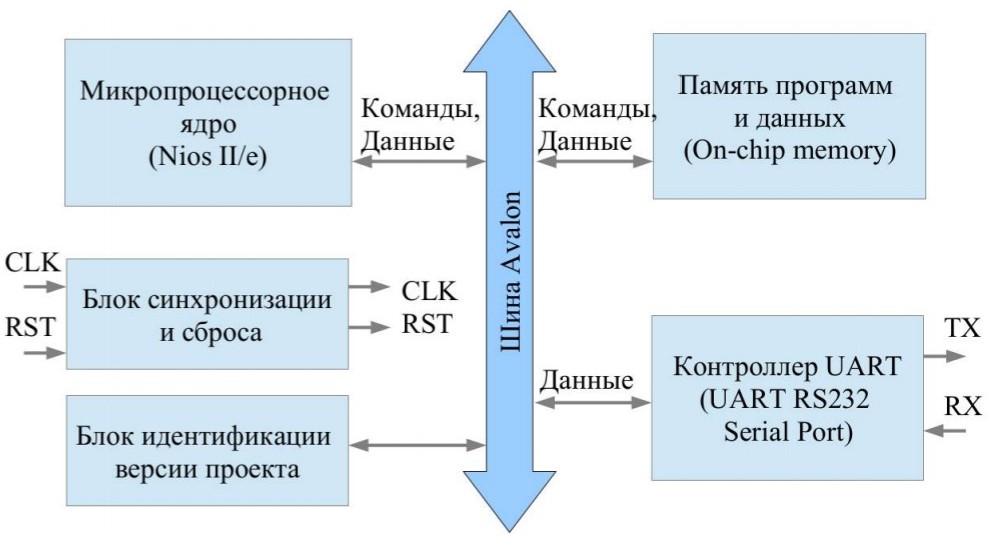


Рисунок 1 – Функциональная схема разрабатываемой системы на кристалле

Система на кристалле состоит из следующих блоков.

1. Микропроцессорное ядро Nios II/e выполняет функции управления системой.
2. Внутренняя оперативная память СНК, используемая для хранения программы управления и данных.
3. Системная шина Avalon обеспечивает связность всех компонентов си- стемы.
4. Блок синхронизации и сброса обеспечивает обработку входных сиг- налов сброса и синхронизации и распределение их в системе. Внут- ренний сигнал сброса синхронизирован и имеет необходимую для си- стемы длительность.
5. Блок идентификации версии проекта обеспечивает хранение и выда- чу уникального идентификатора версии, который используется про- граммой управления при инициализации системы.
6. Контроллер UART обеспечивает прием и передачу информации по интерфейсу RS232.

# Маршрут проектирования

## Модуль в QSYS

Для создания нового модуля системы на кристалле QSYS выполнены следующие действия.

1. Создан новый модуль СНК.
2. Установлена частота внешнего сигнала синхронизации 50 000 000 Гц.
3. Добавлен в проект модуль синтезируемого миркропроцессорного яд- ра Nios2.
4. Добавлен в проект модуль ОЗУ программ и данных.
5. Добавлены компоненты Avalon System ID, Avalon UART.
6. Создана сеть синхронизации и сбоса системы.
7. Все блоки подключены к системной шине Avalon.
8. Сигналы TX и RX экспортированы во внешние порты.
9. Соединины выход IRQ блока UART c входом IRQ процессора.
10. Выполнена настройка таблицы прерываний процессора.
11. Назначены базовые адреса устройств.

Результат выполненных действий приведен на рисунке [2.](#_bookmark1)

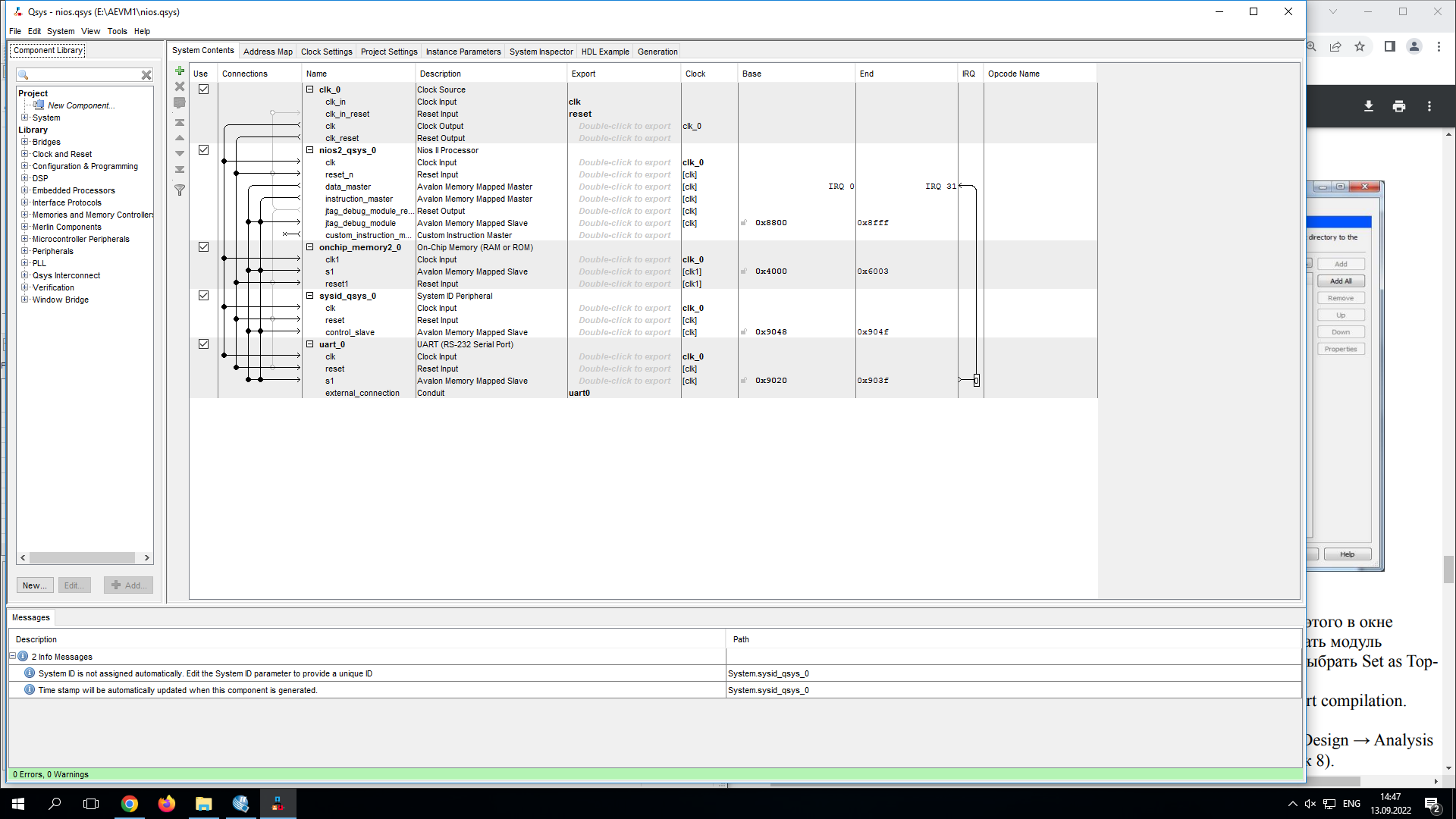


Рисунок 2 – Модуль в Qsys

## Назначение портам проекта контактов мик-

росхемы

Были назначены контакты в соответствии с таблицей 1 из методических указаний, а затем выполнен синтез проекта.

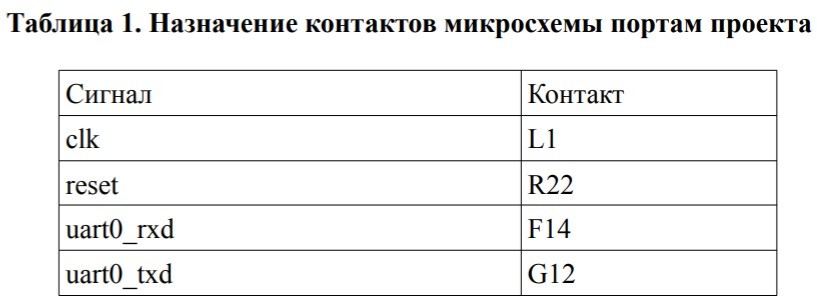


Рисунок 3

Результат выполненных действий приведен на рисунке [4.](#_bookmark2)

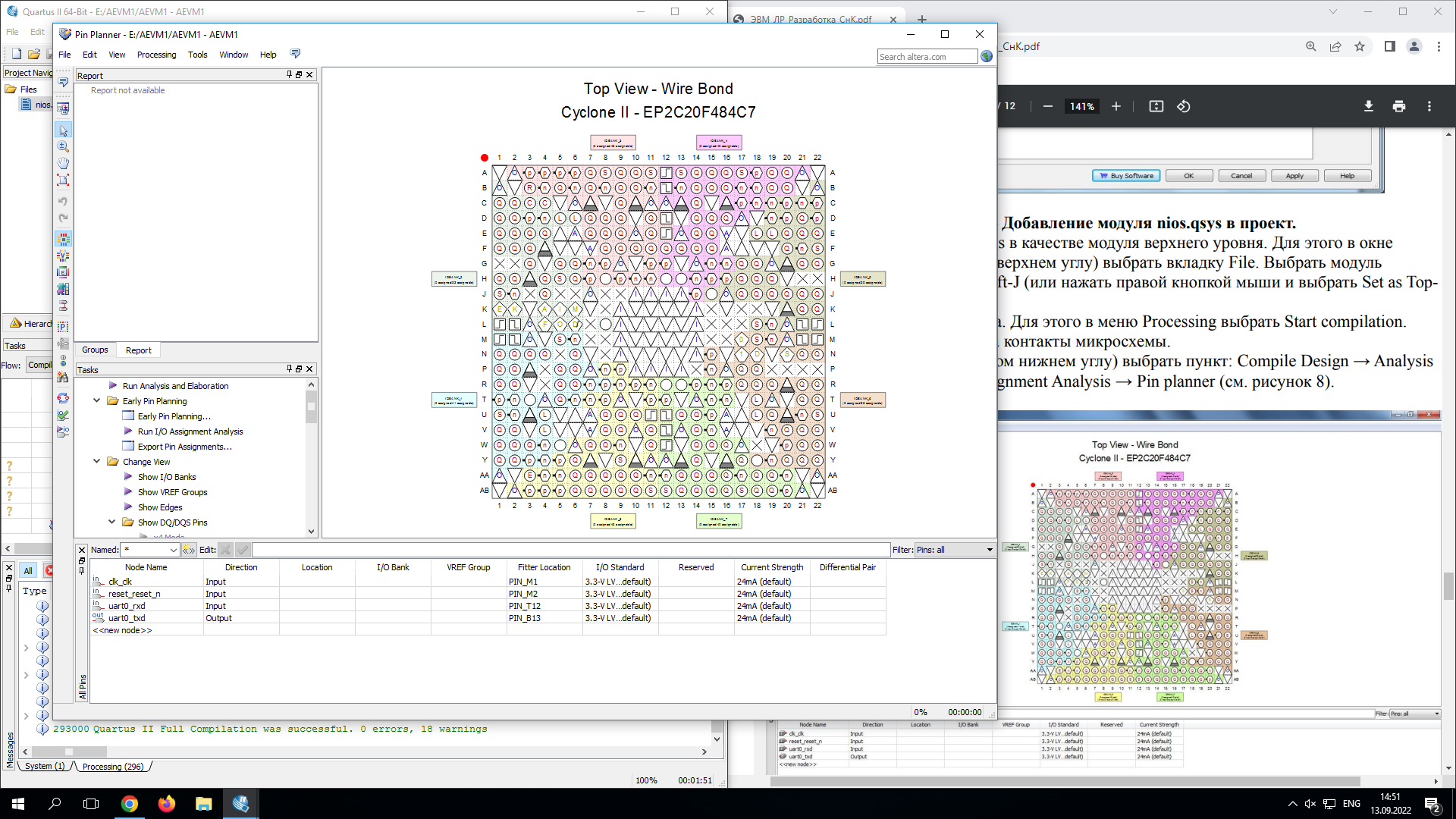


Рисунок 4 – Модуль Pin Planner

## Результаты тестирования PSoC на отладоч-

ной плате

К ПК была подключена отладочная плата с ПЛИС EPC2C20, выполне- на верификация проекта с использованием программы терминала. Дорабо- тан код проекта с использованием необходимых библиотек.

Доработанный код проекта представлен на рисунке 6, а также вывод сообщения с номером группы (54) представлен на рисунке [7.](#_bookmark4)

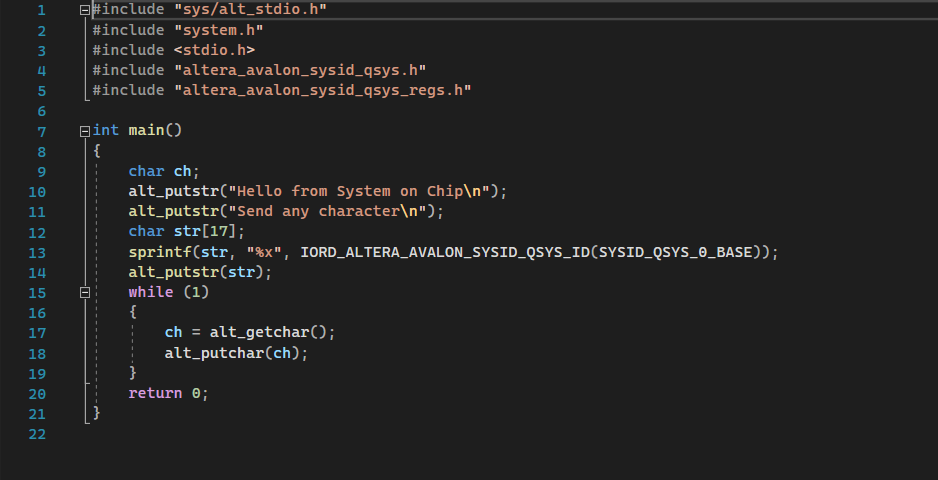


Рисунок 6 – Доработанный код программы.

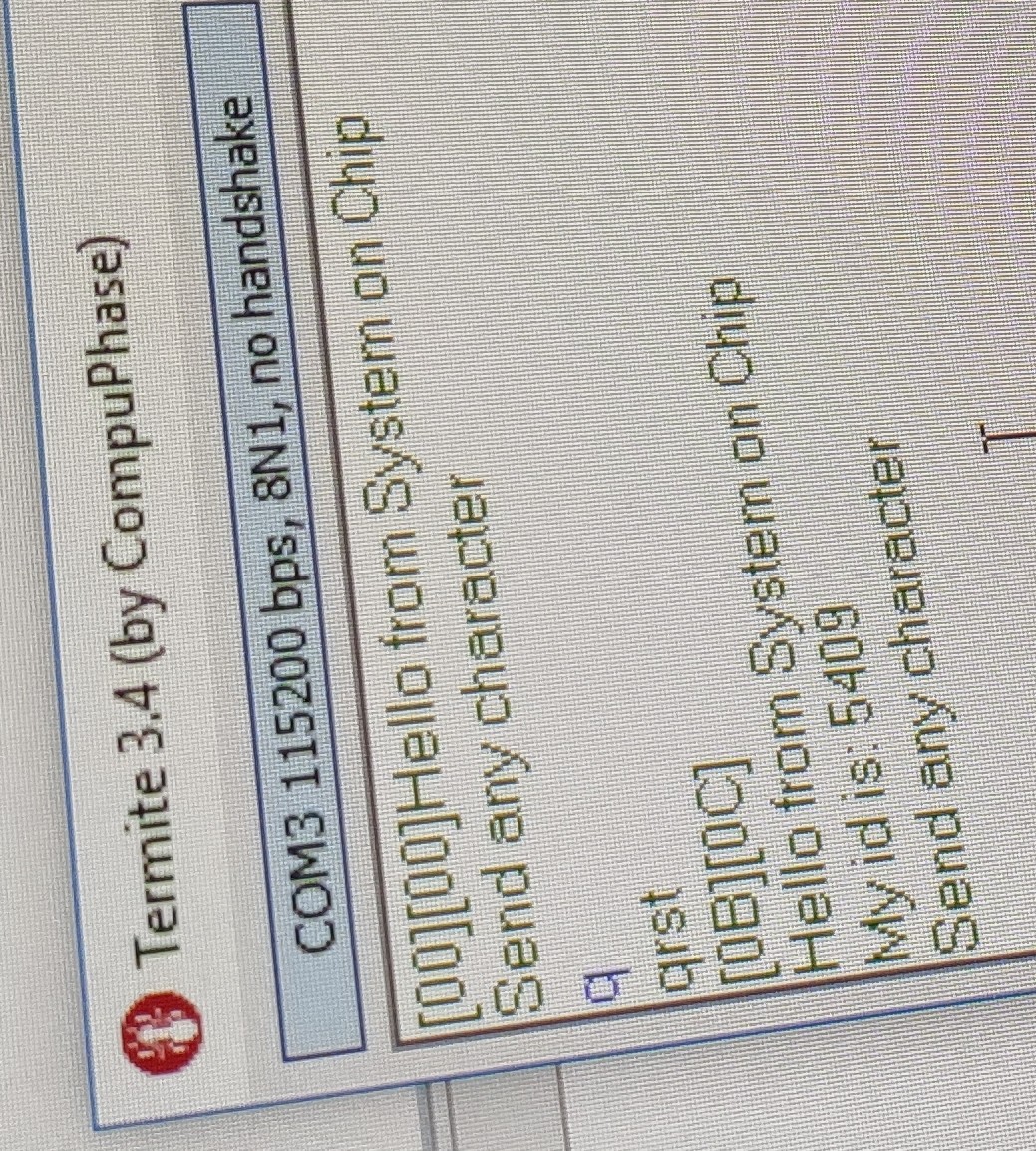


Рисунок 7 – Результаты тестирования PSoC на отладочной плате

# Вывод

В ходе работы изучены принципы построения систем на кристалле (СНК) на основе ПЛИС, получены навыки проектирования СНК в САПР Altera Quartus II, выполнено проектирование и верификация системы с исполь- зованием отладочного комплекта Altera DE1Board.